

#5  
JC872 U.S. PRO  
09/900945  
07/10/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Toshitada SAITO

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: ONE-CHIP SYSTEM LARGE-SCALE INTEGRATED CIRCUIT INCLUDING PROCESSOR CIRCUIT AND ITS PERIPHERAL CIRCUITS

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

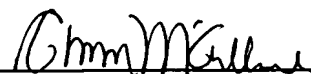
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2000-208601	July 10, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak  
Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124



22850

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JC872 U.S. PTO  
09/900945  
07/10/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 7月10日

出 願 番 号

Application Number:

特願2000-208601

出 願 人

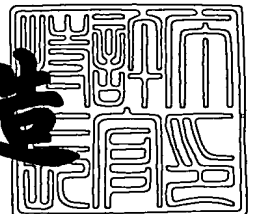
Applicant(s):

株式会社東芝

2001年 5月30日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3047431

【書類名】 特許願

【整理番号】 12524801

【提出日】 平成12年 7月10日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 11/28

【発明の名称】 半導体集積回路

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
マイクロエレクトロニクスセンター内

【氏名】 斎 藤 利 忠

【特許出願人】

【識別番号】 000003078

【住所又は居所】 神奈川県川崎市幸区堀川町 7 2 番地

【氏名又は名称】 株式会社 東 芝

【代理人】

【識別番号】 100064285

【弁理士】

【氏名又は名称】 佐 藤 一 雄

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 004444

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】

プログラムを格納した記憶回路と、  
前記プログラムに従って処理動作を行う制御回路と、  
少なくとも一つの機能ブロックを有し、前記制御回路との信号の送受が可能と  
され、入力信号に応じて所定の論理動作を行う周辺回路と、を備えた半導体集積  
回路において、

前記制御回路は、

プログラムカウンタと、

少なくとも一つの演算器と、

少なくとも一つのレジスタと、

前記プログラムカウンタ、前記演算器、前記レジスタ、および前記記憶回路の  
少なくとも一つの値を任意に選択して出力する第 1 の選択手段と、を有し、

前記周辺回路は、前記機能ブロックの出力を含む前記周辺回路内の複数の内部  
信号の中からいずれかを任意に選択して出力する第 2 の選択手段を有し、

前記第 1 および第 2 の選択手段の各出力のいずれかを任意に選択して外部に出  
力する第 3 の選択手段を備えることを特徴とする半導体集積回路。

【請求項 2】

前記第 1、第 2 および第 3 の選択手段の選択動作を切替制御可能な選択制御手  
段を備えることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】

前記選択制御手段は、前記制御回路が処理動作中に生成した制御信号と外部か  
ら供給された制御信号とに基づいて、前記第 1、第 2 および第 3 の選択手段の選  
択動作を切替制御することを特徴とする請求項 1 または 2 に記載の半導体集積回  
路。

【請求項 4】

前記制御回路は複数設けられ、

前記第 2 の選択手段は、前記複数の制御回路それぞれが処理動作中に生成した制御信号に基づいて選択動作を行い、

前記第 3 の選択手段は、前記複数の制御回路それぞれが処理動作中に生成した制御信号と外部から供給された制御信号とに基づいて、前記第 1 の選択手段の出力と前記第 2 の選択手段の出力とのいずれかを任意に選択して外部に出力することを特徴とする請求項 1 ～ 3 のいずれかに記載の半導体集積回路。

#### 【請求項 5】

前記第 1、第 2 および第 3 の選択手段の少なくとも一つは、選択した信号をシリアル・パラレル変換、パラレル・シリアル変換または所定の時間間隔で間引いて出力することを特徴とする請求項 1 ～ 4 のいずれかに記載の半導体集積回路。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、マイクロプロセッサなどの制御回路とその周辺回路とをワンチップ化した半導体集積回路の動作確認およびファームウェアのデバッグを簡易化する技術に関する。

##### 【0002】

#### 【従来の技術】

最近のマイクロプロセッサ（以下、MPUと呼ぶ）は、機能が非常に複雑であり、その動作解析をするのは容易ではない。このため、最近のMPUには、デバッグと呼ばれる動作解析支援用のソフトウェアや、図 7 に示すようにデバッグと協調動作するデバッグ支援回路 5 2 が予め組み込まれていることが多い。デバッグやデバッグ支援回路 5 2 は、プログラムのトレースやステップ実行、ブレークポイントの設定などを容易に行うことができ、システム外部装置 5 3 から MPU 5 1 の挙動を詳細に検証することができる。

##### 【0003】

#### 【発明が解決しようとする課題】

一方、図 8 に示すように、MPU 5 1 と周辺回路 5 4 を内部に含むシステムの動作解析を行う場合、そのシステムがリアルタイム性が強い場合には、ステップ

実行やブレークポイントを用いたデバッグだけでは、システム外部装置 5 3 および周辺回路 5 4 とのタイミングの整合性を維持するのが困難なため、システムの挙動を十分に再現するのが難しい。

【0 0 0 4】

すなわち、システム内部のMPU 5 1 単体のデバッグについては、従来のデバッグ等のデバッグ支援回路 5 2 を用いて動作確認をすることができるが、MPU 5 1 とその周辺回路 5 4 との信号のやり取りについて、詳細にデバッグすることはできない。

【0 0 0 5】

また、LSI の内部に複数のMPU コアが内蔵されているシステム LSI では、LSI の内部信号を直接モニタするのが難しい上に、周辺回路 5 4 とのタイミング制約があるために、上述した単独のMPU の動作確認用のデバッグを用いた動作確認作業が困難である。

【0 0 0 6】

さらに、図 9 に示すように、LSI の内部信号をモニタするために、モニタ専用の端子を新たに設けると、その分、LSI のピン数が増えることになり、LSI のピン数の制約から、モニタすべき信号の種類を制限しなければならなくなる。すなわち、ピン数の制約から、デバッグ対象が制限されるおそれがある。

【0 0 0 7】

本発明は、このような点に鑑みてなされたものであり、その目的は、効率よくデバッグを行うことができる半導体集積回路を提供することにある。

【0 0 0 8】

【課題を解決するための手段】

上述した課題を解決するために、請求項 1 の発明は、プログラムを格納した記憶回路と、前記プログラムに従って処理動作を行う制御回路と、少なくとも一つの機能ブロックを有し、前記制御回路との信号の送受が可能とされ、入力信号に応じて所定の論理動作を行う周辺回路と、を備えた半導体集積回路において、

前記制御回路は、プログラムカウンタと、少なくとも一つの演算器と、少なくとも一つのレジスタと、前記プログラムカウンタ、前記演算器、前記レジスタ、

および前記記憶回路の少なくとも一つの値を任意に選択して出力する第1の選択手段と、を有し、前記周辺回路は、前記機能ブロックの出力を含む前記周辺回路内の複数の内部信号の中からいずれかを任意に選択して出力する第2の選択手段を有し、前記第1および第2の選択手段の各出力のいずれかを任意に選択して外部に出力する第3の選択手段を備える。

#### 【0009】

請求項1の発明では、制御回路の内部の信号と周辺回路の内部の信号とのいずれかを任意に選択して出力できるため、半導体集積回路の内部状態をリアルタイムに解析できる。

#### 【0010】

請求項2の発明では、選択制御手段の制御により、第1～第3の選択手段の選択を任意に切り替えることができる。また、外部からの信号により選択制御手段を制御すれば、外部から第1～第3の選択手段の選択を制御することができる。

#### 【0011】

請求項3の発明では、制御回路が処理動作中に生成した制御信号に基づいて、第2および第3の選択手段の選択を切り替えるため、制御回路の動作状態に最適な信号をモニタすることができ、リアルタイムの解析が可能になる。

#### 【0012】

請求項4の発明では、制御回路が複数存在する場合でも、各制御回路の内部状態を解析することができる。

#### 【0013】

請求項5の発明では、選択した信号をシリアル・パラレル変換、あるいは間引いて出力することにより、モニタすべき信号のデータレートを下げることができ、モニタすべき信号の取りこぼしが起きなくなる。また、選択した信号をパラレル・シリアル変換して出力することにより、モニタすべき信号のデータレートを上げることができ、また、モニタ端子の数を減らすことができる。

#### 【0014】

#### 【発明の実施の形態】

以下、本発明に係る半導体集積回路について、図面を参照しながら具体的に説



明する。以下では、半導体集積回路の一例として、MPUコアとその周辺回路とをワンチップにまとめたシステムLSIについて説明する。

#### 【0015】

##### (第1の実施形態)

図1は本発明に係る半導体集積回路の第1の実施形態であるシステムLSIの内部構成を示すブロック図である。図1のシステムLSIは、MPUコア（制御回路）1と、MPUコア1を動作させるためのプログラムを格納した内蔵RAM（Random Access Memory、記憶回路）2と、MPUコア1と信号の送受を行う周辺回路3と、複数のモニタ信号の中からいずれかを選択するモニタ信号制御回路4とを備えている。

#### 【0016】

システムLSIには、システムLSI周辺装置5が接続されており、両者は互いに信号の送受を行う。内蔵RAM2には、MPUコア1を動作させるためのプログラムの他に、デバッグ支援機能プログラムが内蔵されている。

#### 【0017】

MPUコア1の内部には、通常のMPUと同様に、プログラムカウンタ（PC）11と、アキュムレータ（Acc、演算器）12と、各種レジスタ（Regs）13と、デバッグ支援回路14とが設けられている。アキュムレータ12やレジスタ13は通常複数設けられ、レジスタ13には、汎用レジスタ、命令レジスタおよびフラグレジスタなどがある。

#### 【0018】

周辺回路3の内部には、少なくとも一つの機能ブロック21が含まれており、各機能ブロック21は互いに信号の送受を行うとともに、MPUコア1とも信号の送受を行う。各機能ブロック21は、ゲート回路やフリップフロップ等の論理回路や組み合わせ回路で構成されている。

#### 【0019】

本実施形態のシステムLSIは、信号選択回路（第1の選択手段）31を内蔵したデバッグ支援回路14をMPUコア1の内部に設けた点と、周辺回路3の内部に信号選択回路（第2の選択手段）32を設けた点と、最終的なモニタ信号を

選択する信号選択回路（第 3 の選択手段） 3 3 を設けた点と、各信号選択回路 3 1 ～ 3 3 の選択動作を制御するモニタ信号制御回路 4 を設けた点とに特徴がある。

#### 【 0 0 2 0 】

デバッグ支援回路 1 4 内の信号選択回路 3 1 は、モニタ信号制御回路（選択制御手段） 4 からの制御信号に基づいて、プログラムカウンタ 1 1、アキュムレータ 1 2、各種レジスタ 1 3、および内蔵 RAM 2 の値のうち、いずれかを選択して出力する。

#### 【 0 0 2 1 】

周辺回路 3 内の信号選択回路 3 2 は、モニタ信号制御回路 4 からの制御信号に基づいて、各機能ブロック 2 1 の出力のうち、いずれかを選択して出力する。

#### 【 0 0 2 2 】

信号選択回路 3 3 は、モニタ信号制御回路 4 からの制御信号に基づいて、MPU コア 1 および周辺回路 3 内の各信号選択回路 3 1、3 2 の出力のうち、いずれかを選択して出力する。信号選択回路 3 3 で選択された信号は、システム L S I のモニタ端子に供給される。

#### 【 0 0 2 3 】

ここで、信号選択回路 3 1 ～ 3 3 が選択する対象は必ずしも一つでなくてもよい。例えば、モニタ端子が複数設けられている場合には、選択した複数の対象をそれぞれ異なるモニタ端子に供給することができる。

#### 【 0 0 2 4 】

また、モニタ端子は、必ずしもモニタ専用の端子である必要はなく、システム L S I の通常動作時に入力端子や出力端子として機能する端子を一時的に流用してもよい。

#### 【 0 0 2 5 】

MPU コア 1 内のデバッグ支援回路 1 4 は、内蔵 RAM 2 に格納されたデバッグ支援機能プログラムに基づいてデバッグ処理を行う。モニタ信号制御回路 4 は、外部から供給されたモニタ制御信号に基づいて、信号選択回路 3 1 ～ 3 3 の選択を行う。これにより、MPU コア 1 や周辺回路 3 の内部状態を任意のタイミン

グで切り替えてモニタすることができる。

【0026】

このように、第1の実施形態は、MPUコア1の内部信号のいずれかを選択する信号選択回路31と、周辺回路3の内部信号のいずれかを選択する信号選択回路32と、これら信号選択回路31、32のいずれかの出力を選択する信号選択回路33とを有し、各信号選択回路31～33の選択動作を必要に応じて任意に切り替えできるようにしたため、システムLSIの内部動作をリアルタイムに詳細に解析することができる。また、モニタ用の端子が限られている場合でも、複数のモニタ信号を簡易に切り替えて出力できるため、デバッグの効率を向上できる。

【0027】

(第2の実施形態)

第2の実施形態は、MPUコア1の動作状態を加味してモニタすべき信号を選択するものである。

【0028】

図2は本発明に係る半導体集積回路の第2の実施形態であるシステムLSIの内部構成を示すブロック図である。図2では、図1と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0029】

図2のシステムLSIは、基本的な構成は図1のシステムLSIと同じであるが、信号選択回路31～33にMPUコア1からの制御信号が供給される点で図1のシステムLSIと異なっている。

【0030】

MPUコア1からの制御信号は、MPUコア1が現在どういう動作状態にあるかを示す信号である。信号選択回路31～33は、モニタ信号制御回路4からの制御信号とMPUコア1からの制御信号とに基づいて、モニタ信号を選択する。具体的には、MPUコア1の動作状態に応じて、最適なモニタ信号を選択する。

【0031】

このように、第2の実施形態は、モニタ信号制御回路4からの制御信号だけで

なく、MPUコア1からの制御信号も考慮に入れてモニタ信号を選択するため、MPUコア1の動作状態に応じてモニタ信号を切り替えることができる。すなわち、常に必要な信号をモニタすることができるため、デバッグの効率がよくなる。

#### 【0032】

なお、モニタ信号制御回路4からの制御信号を用いずに、MPUコア1からの制御信号のみに従ってモニタ信号を選択してもよい。この場合、外部からモニタ信号を入力しなくてもデバッグを行うことができる。

#### 【0033】

##### （第3の実施形態）

第3の実施形態は、複数のMPUコア1を有するシステムLSIのデバッグを行うものである。

#### 【0034】

図3は本発明に係る半導体集積回路の第3の実施形態であるシステムLSIの内部構成を示すブロック図である。図3では、図2と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

#### 【0035】

図3のシステムLSIは、複数のMPUコア1と、各MPUコア1を動作させるためのプログラムを格納した複数の内蔵RAM2とを有する。

#### 【0036】

各MPUコア1はそれぞれ信号選択回路31を有する。信号選択回路33は、各MPUコア1の信号選択回路31の出力と、周辺回路3内の信号選択回路32の出力との中からいずれかを選択する。

#### 【0037】

図3の信号選択回路31、32、33は、図2と同様に、モニタ信号制御回路4からの制御信号と、MPUコア1からの制御信号とに基づいて、選択動作を行う。したがって、MPUコア1の動作状況に応じて、リアルタイムにモニタ信号を切り替えることができる。

#### 【0038】

このように、第3の実施形態では、システムLSI内部に複数のMPUコア1が設けられている場合に、各MPUコア1ごとに信号選択回路31を設け、これら信号選択回路31のいずれかを任意に選択できるようにしたため、各MPUコア1の動作状態をリアルタイムにモニタすることができる。

【0039】

また、信号選択回路32、33は、各MPUコア1の動作状態に応じてモニタ信号の選択を行うため、デバッグする上で最適な信号をモニタすることができ、デバッグの効率を上げることができる。

【0040】

(第4の実施形態)

第4の実施形態は、モニタ信号をシリアル／パラレル変換して、複数の端子から出力するものである。

【0041】

図4は本発明に係る半導体集積回路の第4の実施形態であるシステムLSIの内部構成を示すブロック図である。図4では、図3と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0042】

図4のシステムLSIは、信号選択回路33の出力信号をシリアル／パラレル変換するシリアル／パラレル変換器34を備えている他は、図4と共通する。このシリアル／パラレル変換器34の出力は、複数のモニタ端子に供給される。

【0043】

モニタ信号をシリアル／パラレル変換して複数のモニタ端子に供給することにより、モニタ信号の周波数（データレート）を実質的に引き下げることができ、モニタ信号が急激に変化しても、取りこぼしなくモニタすることができる。

【0044】

なお、シリアル／パラレル変換器34の代わりに、信号間引き回路を設けてもよい。信号間引き回路は、モニタ信号を所定間隔で取り込むことにより、モニタ端子の数を増やすことなく、モニタ信号の周波数（データレート）を実質的に引き下げる。

## 【 0 0 4 5 】

信号間引き回路は、モニタ信号の一部だけを取り込むことになるため、情報が一部欠落してしまうが、モニタ信号の概略的な変化は把握することができる。したがって、長周期で信号レベルが変化する信号をモニタしたい場合に有効である。

## 【 0 0 4 6 】

なお、信号選択回路 3 1，3 2 の少なくとも一方の出力信号をシリアル／パラレル変換するシリアル／パラレル変換器か、信号間引き回路を設けてもよい。

## 【 0 0 4 7 】

## (第 5 の実施形態)

第 5 の実施形態は、第 4 の実施形態とは逆に、モニタすべき複数の信号をパラレル／シリアル変換してから、モニタ端子に供給するものである。

## 【 0 0 4 8 】

図 5 は本発明に係る半導体集積回路の第 5 の実施形態であるシステム L S I の内部構成を示すブロック図である。図 5 では、図 4 と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

## 【 0 0 4 9 】

図 5 の信号選択回路 3 3 は、少なくとも 2 種類のモニタ信号を出力する。これらモニタ信号は、パラレル／シリアル変換器 3 5 に入力されて一本のモニタ信号に変換されてから、モニタ端子に供給される。

## 【 0 0 5 0 】

図 6 はパラレル／シリアル変換器 3 5 から出力されるモニタ信号のデータ形式を示す図である。パラレル／シリアル変換器 3 5 は、図 6 ( a ) に示すモニタ信号 a 1 ～ a 4 と図 6 ( b ) に示すモニタ信号 b 1 ～ b 4 とを時分割多重して、図 6 ( c ) に示すような信号を出力する。図示のように、時分割多重することにより、モニタ信号の周波数（データレート）が高くなるため、単位時間あたりの情報量を増やすことができる。すなわち、最終的なモニタ信号のバンド幅を高くすることができ、短時間でデバッグを行うことができる。

## 【 0 0 5 1 】

また、パラレル／シリアル変換することにより、モニタ端子の数を減らすことができ、半導体集積回路のピン数の増加を抑制できる。

#### 【 0 0 5 2 】

なお、信号選択回路 3 1， 3 2 の少なくとも一方の出力信号をパラレル／シリアル変換するパラレル／シリアル変換器を設けてもよい。

#### 【 0 0 5 3 】

##### (第 6 の実施形態)

上述した各実施形態において、信号選択回路から出力された最終的なモニタ信号は、システム L S I に設けられたモニタ専用の端子に供給されてもよいし、あるいは、通常動作時に入力端子や出力端子として用いられる端子に供給されてもよい。

#### 【 0 0 5 4 】

モニタ専用の端子を設けると、システム L S I 内部での信号の切替処理が不要になるため、システム L S I の内部構成を簡略化できる。また、通常動作時に入力端子や出力端子として用いられる端子と共用する場合には、システム L S I の端子数を増やすことなく、種々の信号をモニタすることができる。すなわち、システム L S I の端子を有効利用できる。

#### 【 0 0 5 5 】

上述した各実施形態では、M P U コア 1 の内部のプログラムカウンタ 1 1、アキュムレータ 1 2、および各種レジスタ 1 3 の値を信号選択回路で選択する例を説明したが、M P U コア 1 の内部状態を解析する具体的な回路ブロックは特に問わない。同様に、周辺回路 3 の内部状態を解析する具体的な回路ブロックも特に問わない。

#### 【 0 0 5 6 】

##### 【発明の効果】

以上詳細に説明したように、本発明によれば、マイクロプロセッサ等の制御回路の内部信号の中から任意に選択した信号と周辺回路の内部信号の中から任意に選択した信号との中からいずれかの信号を任意に選択して出力できるようにしたため、モニタ信号をリアルタイムに切り替えて出力でき、デバッグ効率を上げる

ことができる。

【 0 0 5 7 】

また、制御回路からの制御信号に基づいてモニタ信号の切り替えを行うようにすれば、制御回路の動作状態に応じてモニタ信号を切り替えることができ、モニタする信号の数が少なくても、効率よくデバッグを行うことができる。

【図面の簡単な説明】

【図 1】

本発明に係る半導体集積回路の第 1 の実施形態であるシステム L S I の内部構成を示すブロック図。

【図 2】

本発明に係る半導体集積回路の第 2 の実施形態であるシステム L S I の内部構成を示すブロック図。

【図 3】

本発明に係る半導体集積回路の第 3 の実施形態であるシステム L S I の内部構成を示すブロック図。

【図 4】

本発明に係る半導体集積回路の第 4 の実施形態であるシステム L S I の内部構成を示すブロック図。

【図 5】

本発明に係る半導体集積回路の第 5 の実施形態であるシステム L S I の内部構成を示すブロック図。

【図 6】

パラレル／シリアル変換器から出力されるモニタ信号のデータ形式を示す図。

【図 7】

従来のデバッグ手法を説明する図。

【図 8】

M P U と周辺回路を有する従来のシステムのブロック図。

【図 9】

モニタ専用の端子を有する従来のシステムのブロック図。

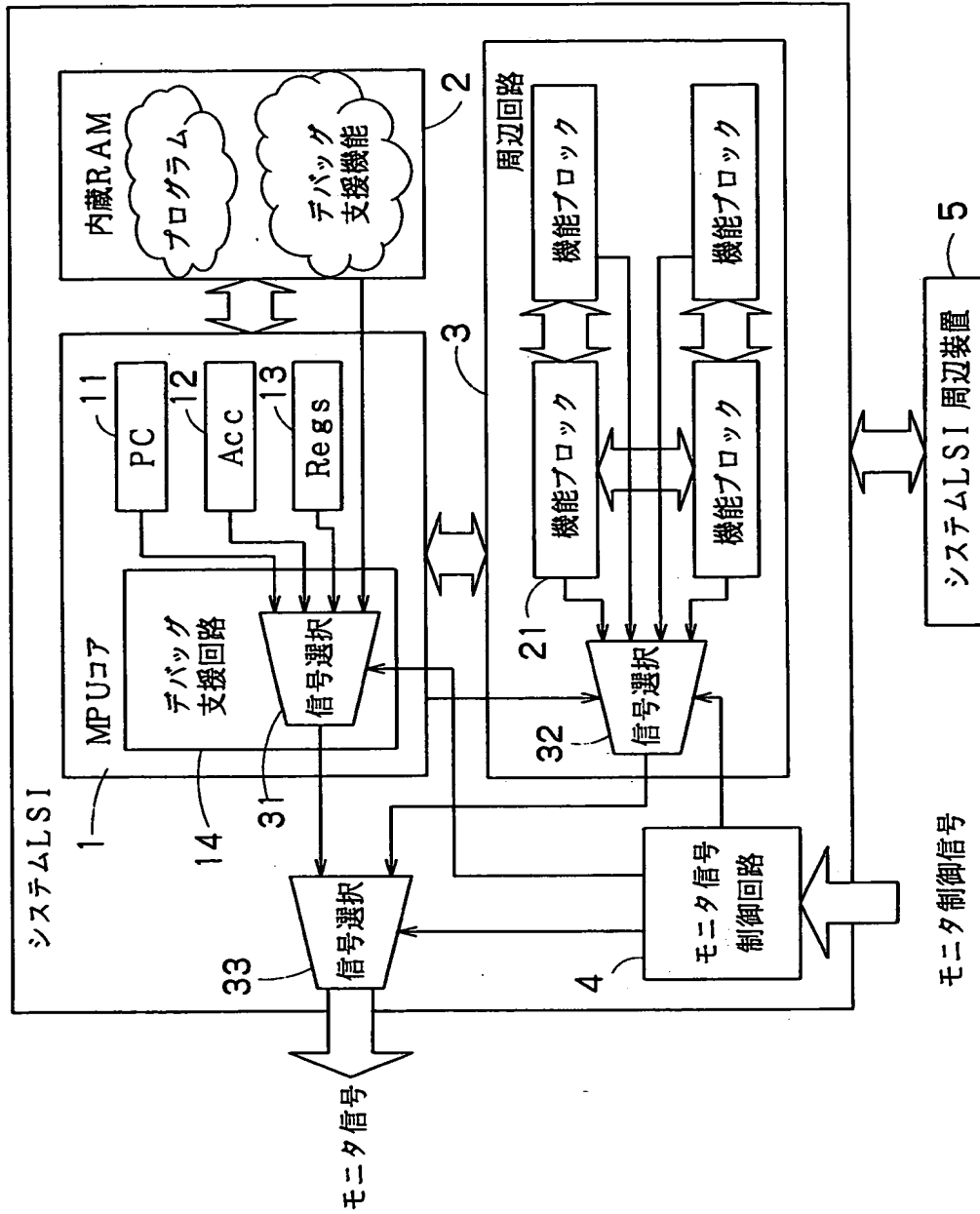


【符号の説明】

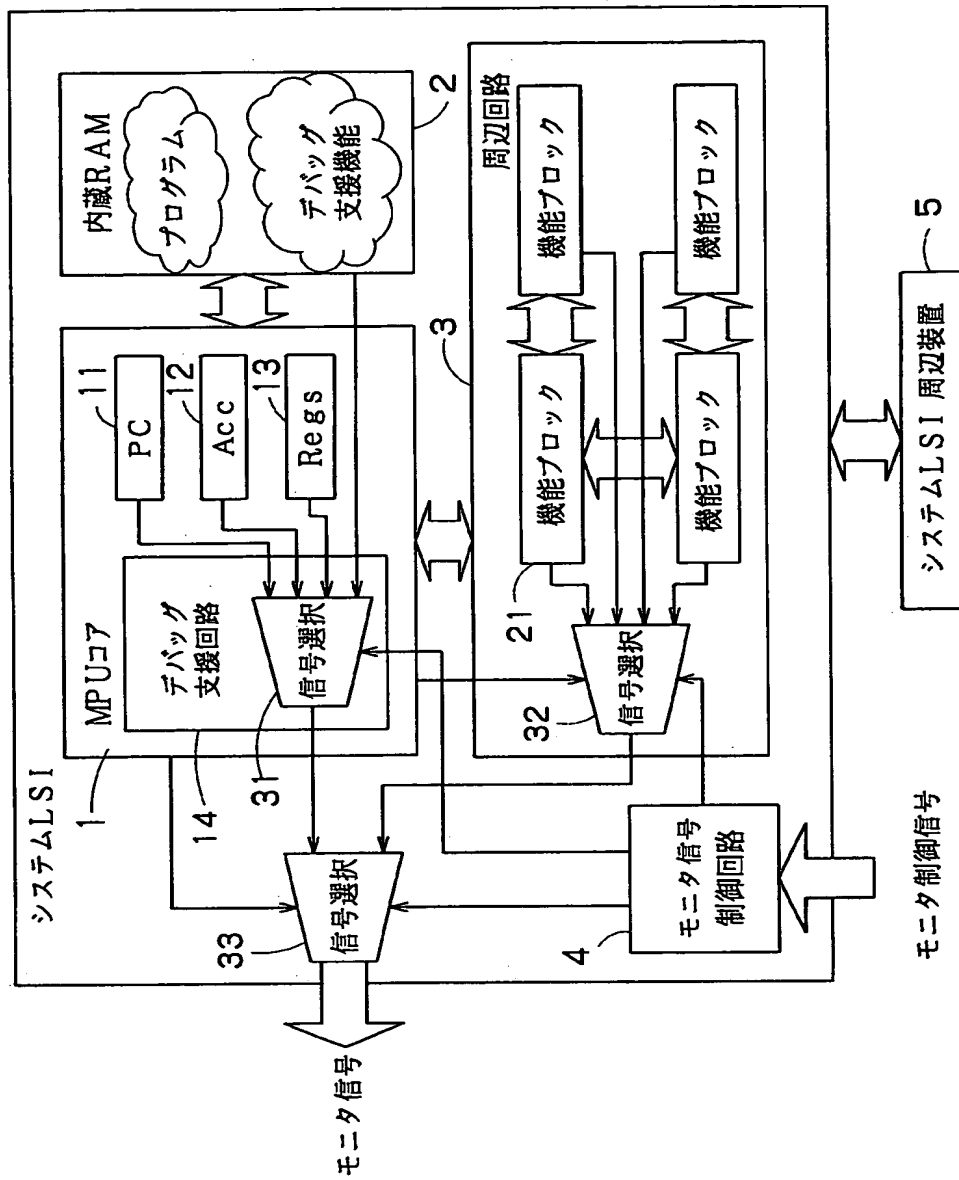
- 1 MPUコア
- 2 内蔵RAM
- 3 周辺回路
- 4 モニタ信号制御回路
- 5 システムLSI周辺回路
- 1 1 プログラムカウンタ
- 1 2 アキュムレータ
- 1 3 各種レジスタ
- 1 4 デバッグ支援回路
- 3 1 ~ 3 3 信号選択回路

【書類名】 図面

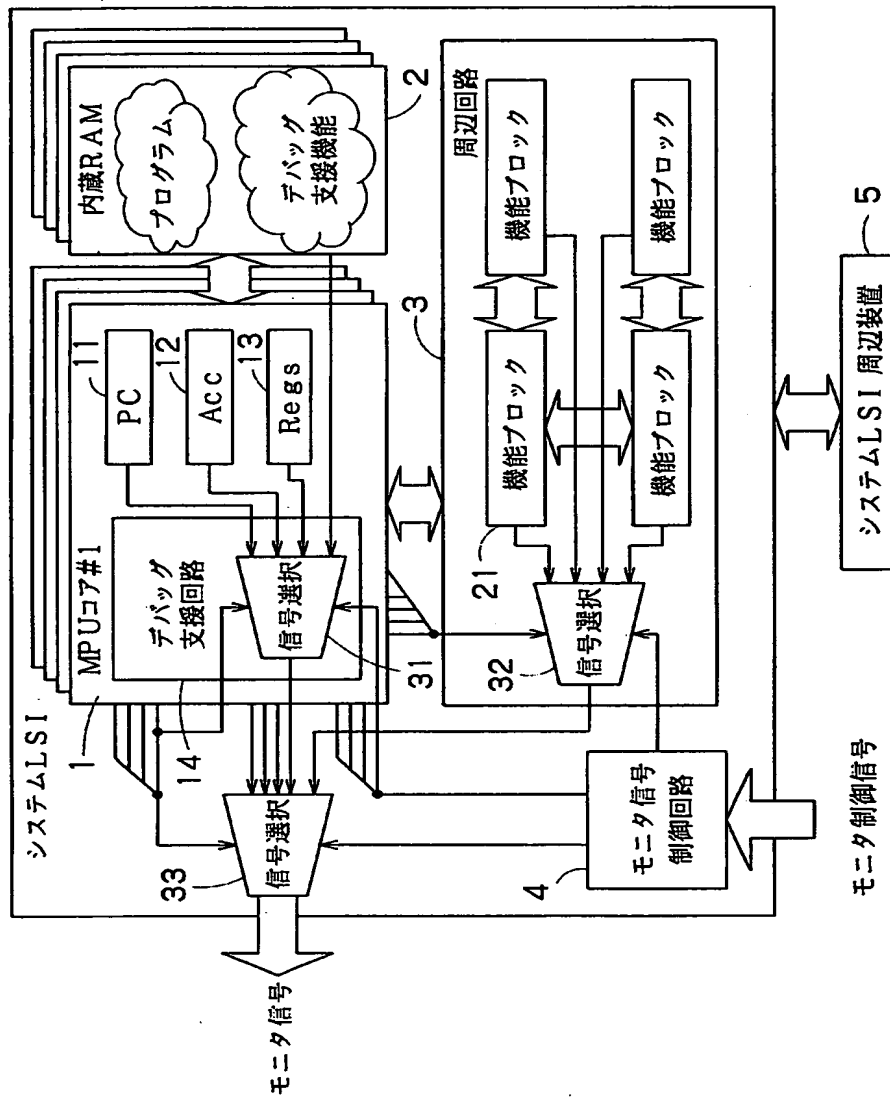
【図 1】



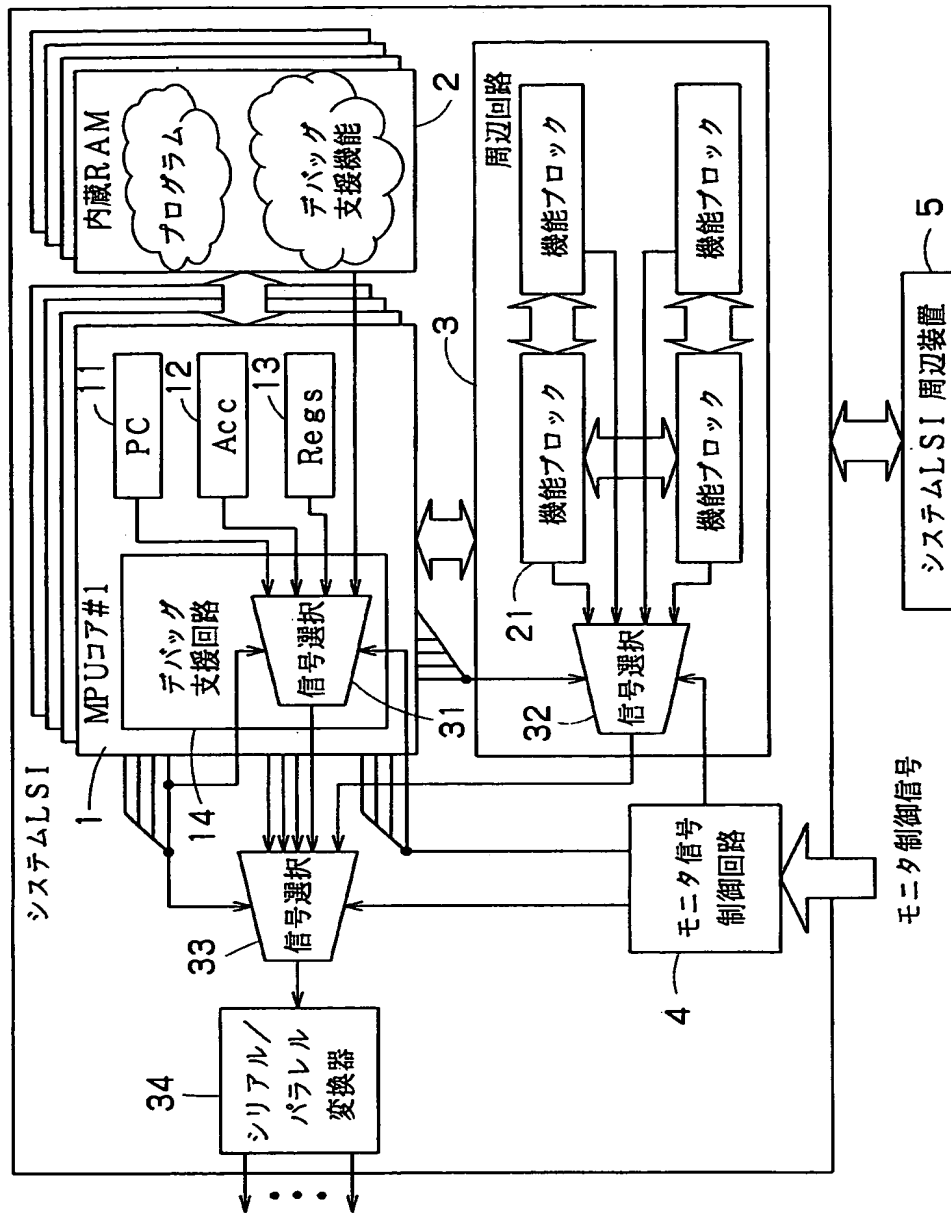
【図2】



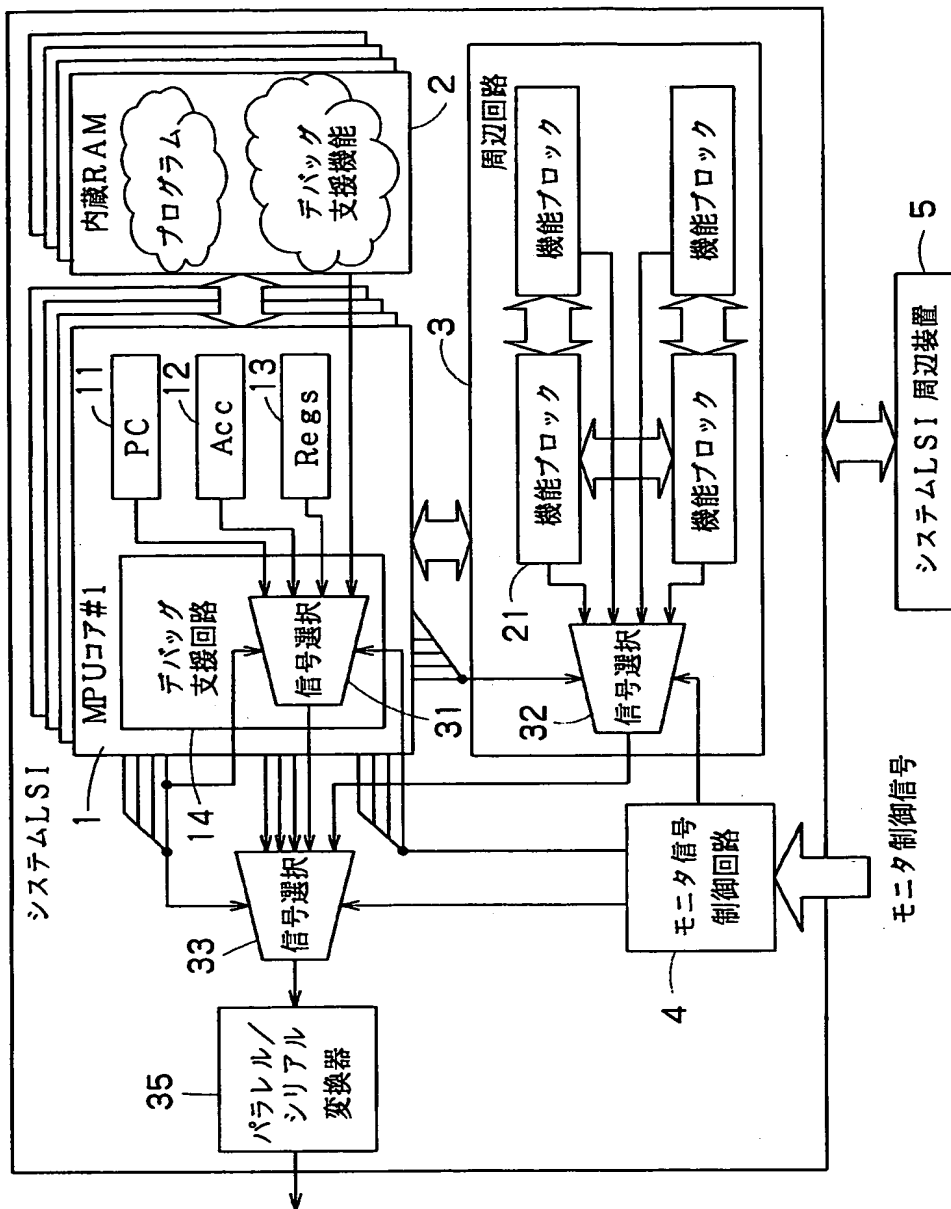
【図 3】



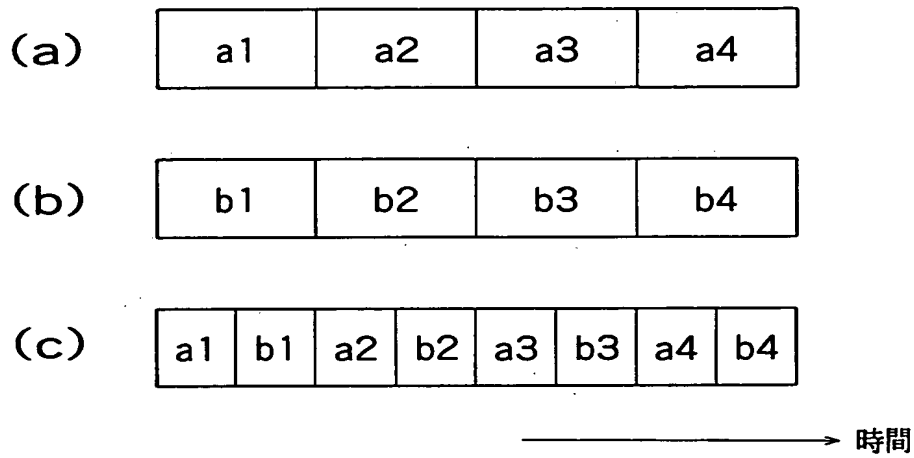
【図 4】



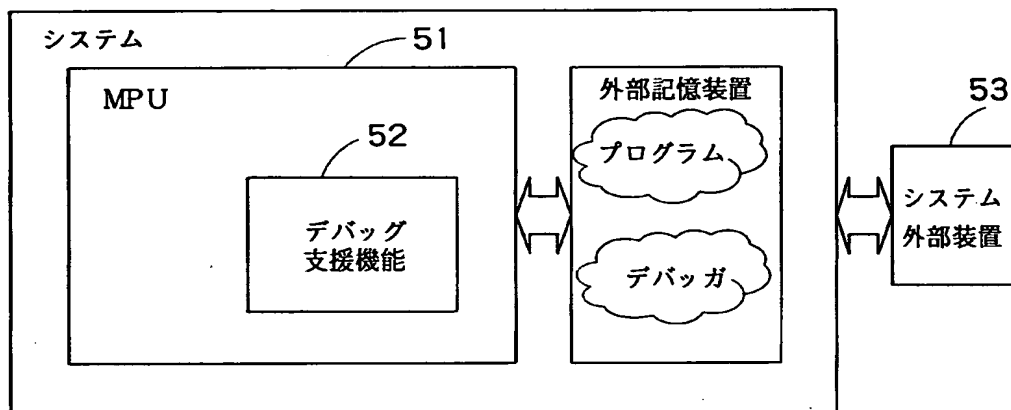
【図5】



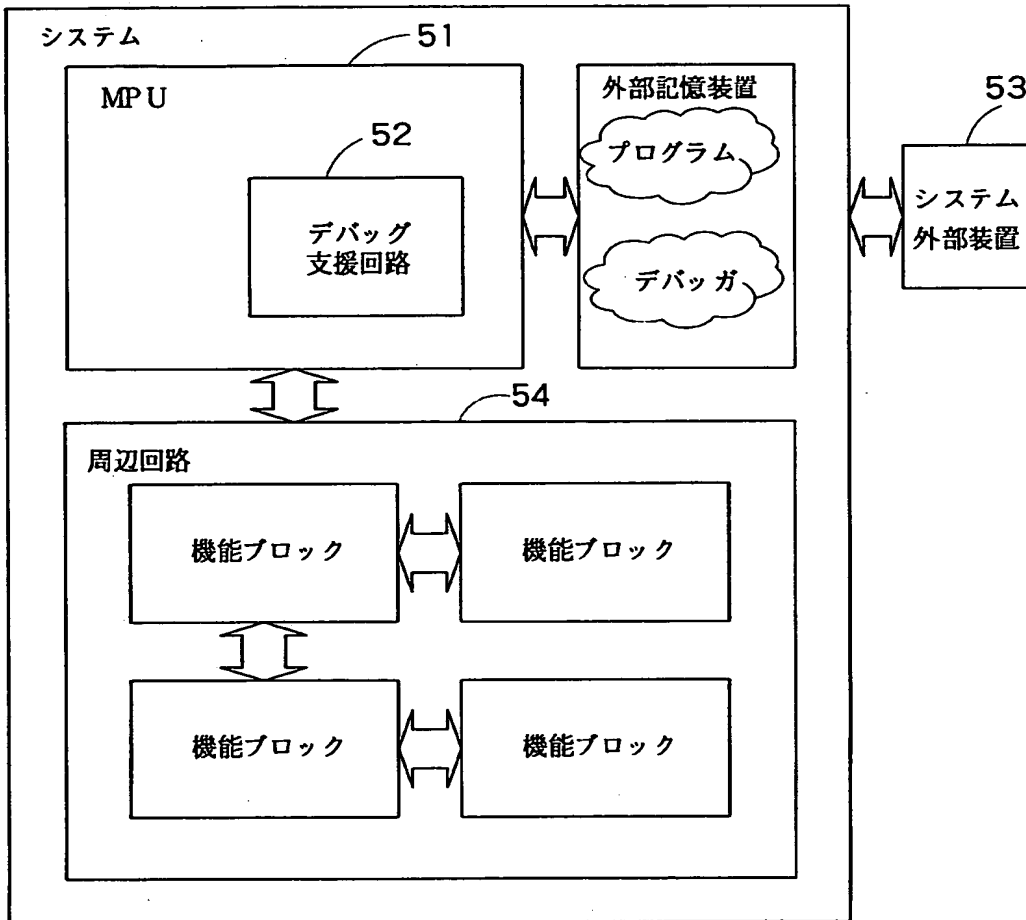
【図 6】



【図 7】

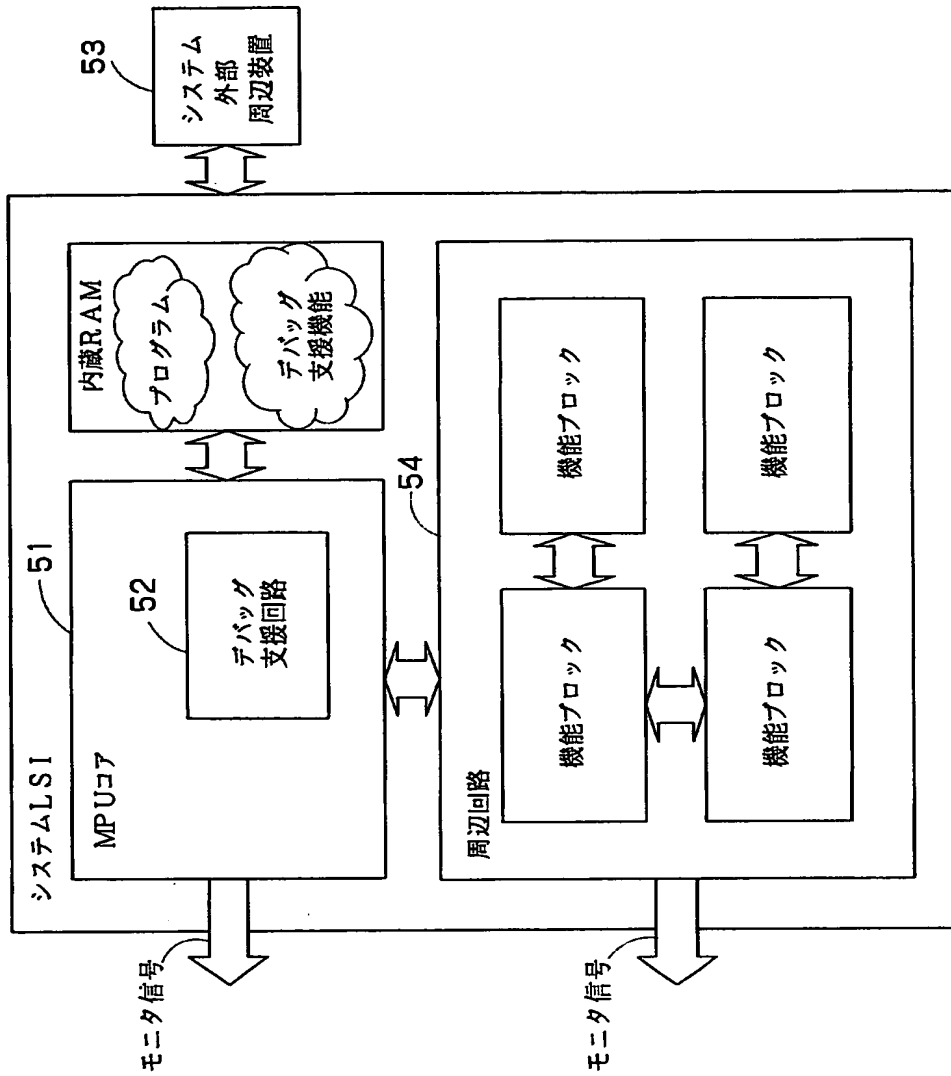


【図 8】





【図9】



【書類名】 要約書

【要約】

【課題】 効率よくデバッグを行うことができる半導体集積回路を提供する。

【解決手段】 本発明は、MPUコア1と、MPUコア1を動作させるためのプログラムを格納した内蔵RAM2と、MPUコア1と信号の送受を行う周辺回路3と、MPUコア1の内部信号のいずれかを選択する信号選択回路31と、周辺回路3の内部信号のいずれかを選択する信号選択回路32と、これら信号選択回路31、32のいずれかの出力を選択する信号選択回路33とを有し、各信号選択回路31～33の選択動作を必要に応じて任意に切り替えできるようにしたため、システムLSIの内部動作をリアルタイムに詳細に解析することができる。また、モニタ用の端子が限られている場合でも、複数のモニタ信号を簡易に切り替えて出力できるため、デバッグの効率を向上できる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日  
[変更理由] 新規登録  
住 所 神奈川県川崎市幸区堀川町 7 2 番地  
氏 名 株式会社東芝